

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-298273

(43)Date of publication of application : 26.10.2001

(51)Int.Cl.

H05K 3/46
H01L 23/12
H01L 25/00
H05K 1/18
H05K 3/32

(21)Application number : 2000-121060

(71)Applicant : HITACHI LTD

(22)Date of filing : 17.04.2000

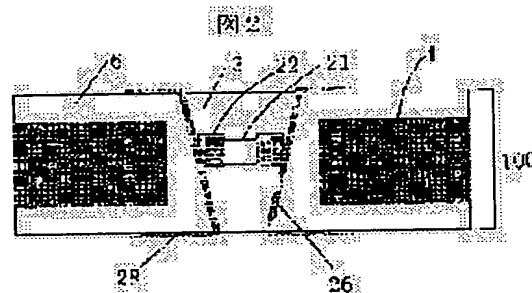
(72)Inventor : SHIGI HIDETAKA
HASEBE TAKEHIKO
MATSUZAKI EIJI
KITAMURA NAOYA
KYOI MASAYUKI
MORI TERUTAKA
USHIFUSA NOBUYUKI
KATO TERUTAKE

(54) MOUNTING SUBSTRATE INCORPORATING ELECTRONIC PARTS, AND SEMICONDUCTOR PACKAGE USING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce electronic parts occupying about thirty percent of surface mounted parts loaded on a build-up substrate and to improve mounting density.

SOLUTION: In a core substrate 110, an insulating layer and a metallic wiring layer are alternately laminated, an electronic part 21 is arranged in a spot facing hole installed at the same time as the formation of a through hole 3 and the electronic part 21. The conductor part 26 of the through hole 3 and the metallic wiring layer are electrically connected in the plating process of the through hole 3.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-298273
(P2001-298273A)

(43) 公開日 平成13年10月26日 (2001. 10. 26)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
H 0 5 K 3/46		H 0 5 K 3/46	Q 5 E 3 1 9
			N 5 E 3 3 6
			X 5 E 3 4 6
H 0 1 L 23/12		H 0 1 L 25/00	Z
25/00		H 0 5 K 1/18	P
審査請求 未請求 請求項の数13 O L (全 12 頁) 最終頁に続く			

(21) 出願番号 特願2000-121060 (P2000-121060)

(22) 出願日 平成12年4月17日 (2000. 4. 17)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 志儀 英孝

神奈川県横浜市戸塚区吉田町292番地 株

式会社日立製作所生産技術研究所内

(72) 発明者 長谷部 健彦

神奈川県横浜市戸塚区吉田町292番地 株

式会社日立製作所生産技術研究所内

(74) 代理人 100075096

弁理士 作田 康夫

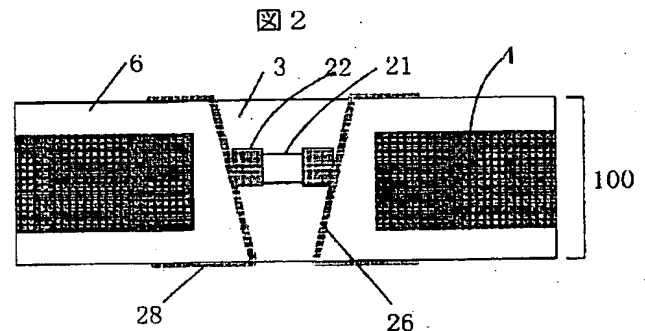
最終頁に続く

(54) 【発明の名称】 電子部品内蔵実装基板及びそれを用いた半導体パッケージ

(57) 【要約】 (修正有)

【課題】 ビルドアップ基板に搭載する表面実装部品の約3割を占める電子部品を削減し、実装密度の向上を図る。

【解決手段】 絶縁層と金属配線層とを交互に積層させるためのコア基板100に、スルーホール3の形成と同時に設けた座ぐり穴に電子部品21を配置し、スルーホール3のめっき工程で電子部品21とスルーホール3の導体部26、更には金属配線層との電気的接続を行なわせる。



【特許請求の範囲】

【請求項1】少なくとも一つ以上の窓部を有する金属箔の少なくとも一つ以上の前記窓部に電子部品を載置し、更に前記金属箔と前記電子部品を内包するように樹脂被覆した部品内蔵コア基板に、前記電子部品の少なくとも一つ以上の端子電極と電氣的に接続され、かつ前記部品内蔵コア基板の表裏を貫通するスルーホールを形成した構造体の外側に絶縁層と配線を形成した配線層とを備え、前記部品内蔵コア基板を貫通するスルーホールと前記配線層の配線パターンの一部とを電氣的に接続されてなることを特徴とする電子部品内蔵実装基板。

【請求項2】少なくとも一つ以上の窓部を有する金属箔を内包するように樹脂被覆されたコア基板と、電子部品と、該コア基板の外側に設けられた絶縁層と、配線を形成した配線層とを備え、前記窓部の全部または一部にコア基板を貫通する複数のスルーホールを有するとともに、スルーホールを設けた一部の窓部に於いて該スルーホールの少なくとも一部を含むように設けた座ぐり穴を有してなり、該座ぐり穴の内部に前記電子部品を配置させて、前記座ぐり穴の内面に設けた導体部と前記電子部品の電極との間、及び前記導体部と前記配線層との間、及び前記コア基板を貫通するスルーホールと前記配線層との間が電氣的に接続されてなることを特徴とする電子部品内蔵実装基板。

【請求項3】すくなくとも一つ以上の窓部を有する金属箔を内包するように樹脂被覆されたコア基板と、電子部品と、該コア基板の外側に設けられた配線積層体とを備え、該積層体が絶縁層と配線を形成した配線層とを交互に少なくとも複数回繰り返してなり、前記窓部の全部または一部にコア基板を貫通する複数のスルーホールを有するとともに、スルーホールを設けた一部の窓部に於いて該スルーホールの少なくとも一部を含むように設けた座ぐり穴を有してなり、該座ぐり穴の内部に前記電子部品を配置させて、前記座ぐり穴の内面に設けた導体部と前記電子部品の電極との間、及び前記導体部と前記配線層との間、及び前記コア基板を貫通するスルーホールと前記配線層との間が電氣的に接続されてなることを特徴とする電子部品内蔵実装基板。

【請求項4】前記電子部品が、前記絶縁層と同一の部材を用いて固定されていることを特徴とする請求項2または3に記載の電子部品内蔵実装基板。

【請求項5】前記電子部品と前記配線層との接続が、前記窓部に設けられた被覆樹脂に対する加工穴の内面に設けた導体層のめっきによって接続されてなることを特徴とする請求項1乃至3の何れかに記載の電子部品内蔵実装基板。

【請求項6】前記座ぐり穴の内面に設けられた導体層と前記電子部品の電極とが、少なくとも1ヵ所以上でめっき接続されてなることを特徴とする請求項2または3に記載の電子部品内蔵実装基板。

【請求項7】少なくとも前記貫通スルーホールまたは前記座ぐり穴が、レーザー加工により形成されてなることを特徴とする請求項1乃至3の何れかに記載の電子部品内蔵実装基板。

【請求項8】窪み加工を施した金属箔と該窪み部に電子部品を収納したことを特徴とする請求項第1項記載の電子部品内蔵実装基板。

【請求項9】前記電子部品の少なくとも一つ以上の電極が、前記コア基板の貫通スルーホール及び前記絶縁層と配線層に設けられたビアホールとめっき接続され、かつ、前記電子部品の少なくとも一つ以上の電極が、前記金属箔と電氣的に接続されてなることを特徴とする請求項1記載の電子部品内蔵実装基板。

【請求項10】前記電子部品の少なくとも一つ以上の電極が、前記コア基板の貫通スルーホール及び前記配線積層体に設けられたビアホールとめっき接続され、かつ、前記電子部品の少なくとも一つ以上の電極が、前記金属箔と電氣的に接続されてなることを特徴とする請求項1乃至3の何れかに記載の電子部品内蔵実装基板。

【請求項11】電子部品を内蔵させた電子部品内蔵実装基板と、少なくとも電源配線及び信号線からなる配線積層体と、少なくともひとつまたは複数の半導体素子とを備え、前記配線積層体が前記実装基板の外側に設けられ、前記配線積層体と前記実装基板との間、及び前記配線積層体の上に設けられた電極と前記半導体素子の電極との間が電氣的に接続されてなり、かつ前記実装基板の所定の位置に前記半導体素子とは異なる電子部品が内蔵されてなることを特徴とする半導体パッケージ。

【請求項12】電子部品を内蔵させた電子部品内蔵実装基板と、少なくとも電源配線及び信号線からなる配線積層体と、少なくともひとつまたは複数の半導体素子を搭載した半導体素子搭載基板とを備え、前記配線積層体が前記実装基板の外側に設けられ、前記配線積層体と前記実装基板との間、及び前記配線積層体に設けられた電極と前記半導体素子搭載基板に設けられた電極との間が電氣的に接続されてなり、かつ前記実装基板の所定の位置に前記半導体素子とは異なる電子部品が内蔵されてなることを特徴とする半導体パッケージ。

【請求項13】前記電子部品内蔵実装基板が、請求項1乃至3の何れかに記載の実装基板であることを特徴とする半導体パッケージ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は電子部品の搭載技術に関わり、特に基板の製造プロセスと電子部品の実装を融合した電子部品を内蔵した基板及びその製造方法に関する。

【0002】

【従来の技術】基板に受動素子を搭載して、その高機能化及び高密度化を図る考え方はセラミック基板を用いた

ハイブリットICとしてよく知られており、具体的にはセラミック基板にキャパシタ及び抵抗を形成した実装基板として長い実用化の歴史を持っている。しかしながら、セラミックの焼成過程を経て電子回路的な特性を作り込むことから、必要に応じて上記のキャパシタや抵抗のトリミングが必要であり、また、実装基板の品種に対応させて検査治具などを個別に準備することが必要とされた。こうした事情を踏まえ、設計変更が容易に出来ないことから実際には特別の用途に限定して使用されていた。

【0003】更にまた、ICチップの埋込に関しても、エレクトロニクス実装技術誌（1997年6月号（Vol. 13, NO. 6）、78ページから82ページ）には、基板の上に半導体素子等を平面的に並べる構造に関するプロセスの見通しが解説されているが、未だ3次元的な実装方式の概念的な提案にとどまっている。

【0004】一方では、近年、日経エレクトロニクス誌（1999年7月26日号、140ページから153ページ）に複数の電子部品を内蔵した実装基板の提案が報告され、再度基板への受動部品内蔵の要求が高まりつつある。

【0005】この背景には、携帯電話などに代表されるように、市場での需要が大きく、そして小型、軽量の高周波用途の電子部品が望まれていることが考えられている。またシミュレーション技術の進歩により、高密度実装基板の状態での電気特性が精度良く予想できるようになったことも寄与していると思われる。

【0006】高周波用途の実装基板において、その特性上内蔵すべき部品は実装基板の作製と同時に作り込み、仮にその部品の作り込みが困難な場合にはそれらの部品類を外付けするという方法が採られている。そして、その外付けもキャビティを設けるなど実装密度向上の工夫がなされてきている。

【0007】しかしながら、セラミック基板の場合、上記で説明したように焼成の過程で部品の特性を作り込むため、その特性調整のためにトリミングが求められる。仮にトリミングが困難である場合には、特性不良がそのまま製品の不良になるため、規模の大きい回路には適用しにくい事情がある。従って、大きな需要が予想され、かつ要求特性上、部品の内蔵が必須である場合を除いて適用されていないのが現状である。

【0008】また、プリント基板においても、日経エレクトロニクス誌（1999年9月6日号、148ページ）に開示されているように、キャビティを設け、その中に受動部品を搭載することで見かけ上の3次元実装を実現し、基板の実装密度を向上させる工夫がなされている。

【0009】この場合、コンデンサを搭載したプリント基板の電源層を経由してLSI側に給電することになるため、スルーホールを用いて接続させる完全内蔵型に比

べるとインダクタンスは大きくなり、それだけ高周波特性を損なうという欠点をもっている。

【0010】またプリント基板の貫通スルーホール内にチップ抵抗やコンデンサ等を載置し、基板の表裏をはんだ接続することで高密度を図ることも考えられるが、受動素子上に配線層が形成出来ないため配線チャンネルの制約は免れない。

【0011】更には、電子通信学会誌（IECE 80・4 Vol. 163-C, No. 4, p. 224）に、LSI及び部品類を平面的に並べ、これらを金属フレームと樹脂を用いて固定し、この樹脂に穴加工を施してその上に相互配線を施すという方法が報告されている。しかしながら、この方法は平面的な実装密度を究極的に高めるためのもので、3次元実装に適用するのは容易でない。

【0012】部品内蔵という点では、特開平7-263619号公報にベース基板に受動部品を埋め込み、その上に配線層を形成する方法が記載されているが、この方法では電極の取り出しが片面となり、設計の自由度が制限される。BGA、CSPなどのエリヤアレイ型パッケージに適用する実装基板としては表裏を貫通する導通路が必要になる。

【0013】一方、特開平10-74891号公報や特開平7-183455号公報に能動素子を3次元的に積み上げ、相互配線をめっきで行うことが開示されている。しかしながら、これらは基本的に高性能LSIを製造する技術であって、種々の品種に対応させる考え方を実装基板側に受け持たせる基板実装とは本質的に異なるものである。

【0014】一般に基板実装と言っても基板に電子部品を内蔵する場合、その後の設計変更の自由度が極端に制限されるため、部品としてはバイパスコンデンサ及び終端抵抗などに限定されると思われる。従って、チップコンデンサ、チップ抵抗などがフレキシブルに配置出来るような部品内蔵基板が望まれる事になる。

【0015】

【発明が解決しようとする課題】上記したように、受動部品の基板内蔵は魅力的な課題であるが、多様な用途に広範囲に使える技術となっているとは言い難い。最も利用可能な方法は、基板にキャビティを形成し、キャビティ内に電子部品を搭載する方式と思われるが、空間的な密度向上は図れる反面、平面的な配線が不可避であって、受動部品を内蔵した場合に比較して高周波特性が劣るという問題点を有する。従って、特性面を考えるとセラミック基板に受動素子まで作り込むような方法が望まれるが、歩留まりの確保が難しく、大形基板には適用しにくいのが現状である。

【0016】この問題を解決するためには、すでに電気的な特性の検査を済ませた部品を基板に内蔵する方式が優れている。しかしながら、この場合であっても、基板

の熱処理工程に耐えられる部品の接続技術が必要であり、更には機械的ストレスに対して部品自身あるいはその接続点を保護する技術の開発が必要である。

【0017】

【課題を解決するための手段】本発明は上記した問題点を解決すべく検討を進め、検査済みのチップ状部品を基板の内部に搭載し、その上に配線構造体を設ける事により、3次元的な実装形態を実現したものである。

【0018】基本的な考え方は、ビルド工法のコアとなる部分を金属箔で形成し、部品を搭載すべき部分に相当する位置に、基板表裏を貫通する窓部を設けるようにする。この窓部に部品類を載置し、その基板の表裏から樹脂付き銅箔をプレスすることによって絶縁層を形成し、その上に多層配線を形成するものである。

【0019】金属箔からなる窓部に部品を載置することによって、製造時の基板の曲げストレスに対する曲率半径が大きくなり、その結果部品およびその接続点にかかる応力を低減させることが可能となる。樹脂をプレスする時の圧力は、樹脂の流動時には擬似的に静水圧として加わり、応力集中を低減出来る。また、電子部品を樹脂で埋め込んだ後は金属箔に保護されるため、電子部品及びその接点には大きな集中応力を発生させることはない。

【0020】樹脂としては熱可塑性、熱硬化性のどちらの樹脂でも適用可能であることは言うまでもないが、一般的には比較的低温において流動性を確保することが出来、加熱によって硬化する熱硬化性の樹脂が優れている。

【0021】次に、接続の問題についてはめっき技術（通常の基板プロセスでは銅めっき）を用いることが有効である。めっき技術での部品接続の考え方を、先ず電気めっき法を用いた場合について以下に説明する。

【0022】導体の上に部品の端子を接触させ、めっき槽中で導体側から通電すれば接触点を通じて部品端子まで通電され、その結果として導体および部品端子にめっき槽中の金属が析出する。めっき層の膜厚は信頼性を確保するに十分な膜厚を析出させれば良い。

【0023】めっき法を用いる場合、金属の蒸着膜などを予め形成しておき、それを種膜として金属を析出させる方法が一般的に使われている。しかしながら、この方法は高価な真空装置を使う必要があるため、LSIや多層基板の層間接続といった高級な用途に用いられるが、汎用的な部品の接続などには使われていない。

【0024】プリント基板の製造においては、スルーホール内壁へのめっきメタライズはよく使われる手法であり、スルーホール形成プロセスと部品搭載を同時に行なうことが可能であれば、上記しためっきプロセスを用いることによる実質的な工程の増加は発生しない。

【0025】電気めっきによるスルーホール導体形成は、通常（１）触媒付け、（２）フラッシュめっき、

（３）パネルめっき（電気めっき）からなっており、フラッシュめっきの工程後に部品類を載置すれば、所望の接続形態を得ることが可能である。

【0026】また、メタライズすべき穴が表裏を貫通していればめっき液の循環がよく行なわれ、極めて微細な穴に対してもスルーホール内部に金属を析出させることが出来る。更には、表裏を貫通するスルーホール導体が形成出来るため、表裏に配線構造体を逐次積層していくビルドアップ工法に適するコア基板あるいはベース基板を提供する事が出来る。機能面でもエリヤレイ型部品の形態を構成するのに適した構造を与える事になる。

【0027】一方、フラッシュ銅めっき液に用いられるアルカリ液が搭載される部品への影響が懸念される場合には、無電解Niめっきを用いることも可能である。この場合、めっき金属を付与するための触媒をつけた後、部品端子を接触させてめっき槽に浸漬すればよい。尚、めっき用の触媒と端子メタライズと同時に金属を析出させる必要があり、また付与すべきめっき金属のイオンと置換反応を起こすような端子材料は好ましくない。

【0028】上記した点を考慮して、部品の電極メタライズを選択する必要がある、無電解銅めっきの場合には銅メタライズが最適である。具体的には、例えばアルカリタイプのPd触媒後に硫酸銅、ホルマリン、錯化剤等からなるpH12.5の銅めっき液に10時間浸漬することによって約30 μ mの膜厚を確保することができ、部品端子との接続を十分に取ることが可能である。

【0029】ところで、基板としてのスルーホール形成工程と部品を接続するための工程とを同時に行う方法には、以下の2方法が考えられる。

【0030】先ず第1の方法は、部品を特定の金属箔の窓に樹脂モールドした状態を形成しておき、部品を埋め込んだ窓に関しては、表面から部品端子までのレーザ加工を行なう。そして、部品の埋め込みを行なっていない窓部については、その窓部の表裏を貫通する穴を形成し、レーザ加工時の残渣を除去した後、その穴の内部に触媒を付与して、めっきにより導通を取る。

【0031】この場合、部品の表面あるいは端子部はレーザ照射に耐える材料で構成されていなければならない。ひとつの例として、チップ抵抗をレーザ照射した場合、その表面保護膜にクラックが発生してしまう。このようにレーザ加工の衝撃が問題となる場合には、酸素プラズマあるいはフッ化炭素系のガスとの混合ガスを用いて加工することが可能である。

【0032】部品と金属箔をモールドする方法としては、シートの上に先ず窓付き金属箔を貼り付け、窓内に部品類を載置して仮固定する。その上にプリプレグ（Bステージシート）を乗せた状態で、例えば定盤に挟みこんで加熱プレスを行なう。この段階で、金属箔と部品は樹脂に埋め込まれた状態となる。尚、仮固定シートは溶剤などで分離する。

【0033】この構造体をコアに用いてプリント基板（ビルドアップ基板）を作製することが可能である。また、何らかの部品の保護を目的として、完全に樹脂モールドする必要がある場合には、更に反対面にプリプレグを乗せてから加熱プレスすることによって、部品が完全に樹脂モールドされた構造物を作製することが出来る。

【0034】スルーホール形成工程と部品の接続工程とを同時に行う第2の方法として、一旦樹脂被覆した窓つき銅箔にスルーホールを形成する際、先ず複数の穴を加工し、更に座ぐりに相当する加工を施した後にこの座ぐり穴に部品を仮固定する。そして、基板のスルーホールを形成すべき部位に部品端子を接触させた状態でめっきを行なうことにより、基板と部品との電氣的接続を取ることが可能となる。

【0035】勿論、フラッシュめっき工程の後に、この部品を仮固定する事もできる。このほうがめっき時の電氣的導通がとりやすい傾向がある。

【0036】この座ぐりの加工をスルーホールの分割加工と合わせて設計すれば、部品搭載に対する余剰プロセスを排除することが出来る。またレーザ加工を用いれば、表裏貫通加工であっても、加工条件、特にレーザの合焦位置を調整することで、テーパ付きの形状を得ることが出来るため、部品類を穴の途中に載置する事が可能となる。

【0037】通常、部品端子は側面から取り出されていることが多いため、部品を収納した窓の穴には複数のスルーホールが必要であり、且つ部品を載置する際にそのスルーホールと接触するように設計しておけばよい。この場合、加工精度を考慮して部品端子に常時圧力がかかる状態、いわゆる締バメの状態に設計しておく必要がある。また金属箔に形成した窓の形状を特定箇所だけ変形させて部品の電極として利用する事も可能である。

【0038】コアとなる金属箔の部品搭載する窓の形を工夫して、レーザ加工のマスクとして機能させることも有効な部品搭載方法である。この場合には、コアの金属種とスルーホールの材質が異なるため、フラッシュめっきの後に電気めっきを用いる方が無難である。

【0039】以上、受動部品の内蔵を暗に前提して説明してきたが、能動素子も内蔵出来ることは自明である。但し、能動素子を内蔵させる場合には、構造的に発熱に対する対策を別途考慮しなくてはならない。また、一般的な能動素子の電極はアルミ合金を用いることが多く、この上に金属をめっき析出させるためには、何らかの表面処理が必要となる。

【0040】

【発明の実施の形態】以下、本発明の実施例について、図面を用いて詳細に説明する。

【0041】図1は第1の実施例である抵抗素子を内蔵した金属箔を有するコア基板の平面図である。また図1のA-A断面を図2に示す。

【0042】コア基板100の中核となる金属箔4の材料は42Ni-Fe合金を採用した。この金属箔4に窓部5を設けた後、窓部5を含む金属箔4を樹脂6で被覆し、この窓部5を貫通するスルーホール3を形成した。その後、このスルーホール3の一部を含むように座ぐり穴2の加工を施してから、その内部にPd触媒を付与し、銅のフラッシュめっきを施した。

【0043】次に、座ぐり穴2の内部に電子部品21を挿入し、銅のフラッシュめっきを種膜とする電気銅めっきを施し、座ぐり穴2の内部に導体部26を形成した。

（図2参照）本実施例では、電子部品21の電極22とフラッシュめっきを施した座ぐり穴2とを接触させて電気めっきを施すことにより、座ぐり穴2の導体部26と電子部品21の電極22との電氣的な接続が取られるようになっている。

【0044】即ち、電気めっき処理によって、座ぐり穴2の内壁において、フラッシュめっき膜上に更に銅が析出され、そして電子部品21の電極22の側にも通電されるようになり、これによって電子部品21の電極22の表面にも銅が析出する。電気めっきによって析出させためっき銅の膜厚は、30 μ mとした。

【0045】電子部品21の仮固定は、例えば本実施例で用いた炭酸ガスレーザの加工跡がテーパ形状を示すことを利用して行っている。スルーホール3の少なくとも一部を含むように座ぐり穴2の加工を施し、抵抗素子を載置した。部品の形状を4端子素子とした理由は、電子部品21（この場合は抵抗素子）を座ぐり加工した穴2の内部に挿入したときの安定性を確保するためである。

【0046】上記した形状の電子部品21は標準品でないため、特別に試作した。抵抗体はアルミナ基板に無電解Ni-Pを施すことで作製し、座ぐり穴2において接続をとる必要のある電極22のコーナ部には、更に電気銅めっきを施した。

【0047】図1、図2の構造体を作製する工程を図3に示す。図3-(a)はエッチング加工を施した金属箔4を樹脂6で覆い、両面から樹脂プレスした状態を表わしているが、この金属箔4の一部は予めエッチングを用いて除去され、窓部5が形成されている。本実施例では、コア基板100の中核となる金属箔の厚みを0.3mmとし、樹脂6には0.08mmのBステージ樹脂を用いた。

【0048】図3-(b)において、窓部5の所定の位置に小径（0.15mm）のスルーホール10を、例えば良く知られたレーザ加工法を用いて一辺0.5mmの正方形の配置に形成した。レーザは炭酸ガスレーザを用い、樹脂6の上面の焦点を合わせて加工を行い、その形状を約80度のテーパ形状とした。

【0049】図3-(c)は、上記のスルーホール10に対して過マンガン酸によるデスミヤ処理を行なってからPdのアルカリ触媒を付与し、その後スルーホール10

の一部を含むように座ぐり穴2を形成した状態を表わしている。座ぐり穴2の加工は径0.3mmのドリルを使用して、仕上がり径約0.35mmとした。このドリル加工はスルーホール10の不要な箇所の触媒を除去し、また、電子部品21の載置空間を作る目的を持っている。尚、図3-(c)において、7は座ぐり穴2の内壁断面であり、8はスルーホール10の内壁断面である。

【0050】図3-(d)は、座ぐり穴2及びスルーホール10の内部にフラッシュ銅めっきを施した後、座ぐり穴2の内部に電子部品21を挿入した状態を示す。この時、次の電気めっき処理を行なう際に、電子部品21の電極22と座ぐり穴2のフラッシュめっき部分が良好な接続を保つために、電子部品21がフラッシュめっきを部分的に削りとるくらいの状態まで押し込んでいる。

【0051】図3-(d)は、図3-(c)の状態に電気めっき処理を施した結果を示している。電気めっき処理によって、スルーホール10の内面及び電子部品21の電極22に銅めっき層による導体部26が形成され、この導体部26を介してスルーホール10と電極22とが電氣的に接続されることになる。

【0052】その後、電子部品21を含む座ぐり穴2の内部を、その表面が樹脂6の表面とほぼ一致するように平坦に埋め込むことによって図2に例示したコア基板100が出来上がる。上記したコア基板100の表裏面に、樹脂付き銅箔をプレス成形し、更にこの銅箔に対して良く知られたレーザ加工法を用いて配線パターンを形成することにより、電子部品21を内蔵した実装基板が出来上がる。ところで、コア基板100の上方に、一般に良く用いられる有機系樹脂、例えば溶剤に溶解させたワニスタタイプの樹脂からなる絶縁層を形成し、その上に例えばめっき法或いはスパッタ法を用いて配線層を形成したのち、その配線層に対して例えばホトリソ法を用いて配線パターンを形成しても良い。絶縁層と配線層の形成方法は上記した方法に限定されるものではない。

【0053】また、電子部品21と配線層との電氣的な接続はコア基板100に設けられた導体26に接続した電極28に対応した位置の絶縁層に設けられたビアホールを介して行なわれる。

【0054】コア基板100に設けられた座ぐり穴2に電子部品21を挿入した後、この座ぐり穴2を埋め込む材料は、上記した絶縁層と同一の材料を用いることによって、工程を簡略化することも可能である。

【0055】更に、上記したコア基板21の上方に、絶縁層と配線を有する配線層とからなる配線積層体を複数回積み重ね、積層体同士の接続或いは最下層の積層体とコア基板の導体部との接続は、積層体に設けられたビアホールを介して電氣的に接続するようにしても良い。

【0056】LSI等の集積回路は上記の配線層に接続されるが、このような実装基板を用いることによって、

高密度かつ高機能を有する実装の実現を可能にする。即ち、従来のマルチチップモジュール等においては、実装面積の3割程度がチップコンデンサや終端抵抗等の電子部品で占有されており、この部分をそのままコア基板に内蔵することが出来、その結果としてLSI等の実装密度を上げることが可能になる。

【0057】上記した方法を用いて作製した電子部品内蔵実装基板を半導体パッケージのベースとして適用した場合の一例を図4に示す。

【0058】図4において、上記の図2に例示されたコア基板100の上に、電源配線に使用する導体配線121、信号パターン124からなる配線積層体110を配設する。そして、配線積層体110の上にLSI搭載用電極122が設けられており、フリップチップタイプのLSIが搭載されるようになっている。また、配線積層体110の間及びLSI搭載用電極122との間はビアホール123を介して電氣的に接続されている。また、配線積層体110とコア基板100との間、及びLSI搭載用電極122とLSI(図示せず)との間も電氣的に接続されている。パッケージの形態としては、BGA型の構成を表わしている。

【0059】上記した構造を用いることにより、従来、配線積層体110の上に設けられていた電子部品、例えば抵抗やコンデンサ等をコア基板100の内部に設置することによって、その設置スペースをLSIの搭載スペースに転用することが出来るため、それだけ高密度の実装を実現することが可能になる。

【0060】尚、図4に示した例はLSIチップ単体を実装することを想定したが、LSIチップ単体に限定されることなく、例えばこのLSIチップ単体を別途別の基板上に搭載したLSI搭載基板を、上記したLSI搭載用電極に配置しても良いことは言うまでもない。

【0061】更にまた、上記した電子部品内蔵基板は、電氣的には電子部品の配置に関する制約が少なくなり、内蔵した電子部品と他の電子部品、例えばLSI等の集積回路素子との接続距離を極めて短くすることが可能であるので、これらを用いた電子回路装置の高速化を図ることが出来る。

【0062】次に、コア基板の内部に配設される金属箔の加工について説明する。

【0063】図5は、金属箔のひとつの加工例を表わす。基本的には金属箔4に対して所定の場所に規則的な開口部、即ち窓部5を形成して、この窓部5を含む金属箔4の全体を、樹脂6を用いて被覆する(図3-(a)参照)。その後、図3-(b)以降の工程に例示したように、窓部5における樹脂6に対して貫通スルーホール3及び座ぐり穴2を形成する。この方式は座ぐり穴2に挿入される電子部品が例えば抵抗部品のような規格寸法である場合には問題ないが、規格品以外の電子部品を挿入するような場合には、別途貫通スルーホール3及び

座ぐり穴2を設けなければならない。

【0064】図6の例は、上記の問題に対応可能な金属箔の加工例である。同一の金属箔の面内に、図5に類似の窓部5及び連結した形状の窓部11が形成されている。従って、窓部11には例えば規格品以外の電子部品21を搭載可能としている。このように、必要に応じて窓部5の形状を変えることによって、高機能を有する電子部品内蔵の実装基板を実現することが出来る。

【0065】次に、他の実施例について説明する。

【0066】図7は電子部品21を内蔵したコア基板100の断面図であり、その製造方法について、図8を用いて説明する。

【0067】まず、窓部5の加工を施した金属箔4を仮固定用の樹脂シート31に張り付け、この窓部5内の樹脂シート31の上に電子部品21を仮付けした。この電子部品21の仮固定及び金属箔4と樹脂シート31の張り付けには、例えば良く知られた水溶性の接着剤を用いた(図8-(a))。

【0068】その後、電子部品21を含む金属箔4を包み込むように樹脂シート31の上に樹脂を例えばプレス加工を用いて形成した(図8-(b))。

【0069】次に、樹脂6が硬化してから、例えば水中で超音波加振する方法を用いて仮固定用の樹脂シート31を剥離した(図8-(c))。

【0070】上記の状態、窓部5のスルーホール形成及びその内部への銅めっき処理を行なうことも出来る。しかしながら、外部に露出されている電子部品21の表面が銅めっき処理の際の強アルカリ溶液によって損傷を受け、その機能が損なわれることが考えられるため、本実施例においては仮固定用の樹脂シート31を除去した部分に、樹脂6を用いた被覆を行った(図8-(d))。従って、この場合には樹脂6の形成に2回のプレス工程を必要とする。

【0071】尚、仮固定用の樹脂シート31を封止用の樹脂6と同一の材料を用いて形成すれば、図8-(c)の剥離工程と図8-(d)の樹脂封止工程を省略することが可能である。

【0072】次に、良く知られたレーザ加工法を用いて窓部5に所定のスルーホール3を形成する。この時、レーザ光の一部が電子部品21の電極22にかかるようにしてレーザ光の照射を行い、電極22の一部がスルーホール3の内部に露出されるようにする。レーザ照射による残渣の除去を行ってから、銅めっき処理をすることにより、スルーホール3の内壁、及び電子部品21の電極22の表面に導体部26を形成し、電子部品21と導体部26との間で、電気的な接続を行なうことが出来る(図8-(e))。

【0073】上記の工程を経て、図7に例示した電子部品21を内蔵したコア基板100が出来上がる。

【0074】そして、第1の実施例で述べたように、樹

脂6の表面に、良く知られた電気めっき法を用いて配線層9を形成する、或いは絶縁層と配線を有する配線層とからなる配線積層体を繰り返して積層し、積層体同士、最下層に位置する配線積層体の配線とコア基板の導体部26との間を、ビアホールを介して電気的に接続することによって電子回路内蔵実装基板が完成する。

【0075】LSI等の集積回路は上記の配線層に接続されるが、このような実装基板を用いることによって、高密度かつ高機能を有する回路実装を実現することが可能になる。即ち、チップコンデンサや終端抵抗等の電子部品をコア基板に内蔵させることによって、従来のマルチチップモジュール等に比較して、LSI等の実装密度を30%程改善させることが可能になる。

【0076】また、電気的には電子部品の配置に関する制約が少なくなり、内蔵した電子部品と他の電子部品、例えばLSI等の集積回路素子との接続距離を極めて短くすることが可能であるので、これらを用いた電子回路装置の高速化を図ることが出来る。

【0077】次に、3端子コンデンサを内蔵したひとつの例を図9及びその製造工程を表わす図10を用いて説明する。

【0078】本実施例では、2層からなる金属箔を用いたコア基板の例である。この目的は、2層の金属箔に対して個別の電源を接続し、2層の金属箔の間に挿入した高誘電体フィラーを含有する樹脂をコンデンサとして機能させることである。

【0079】まず、高誘電体フィラーを含有する樹脂14を挟んで2枚の金属箔13及び15を張り合わせる。この時、良く知られた押し型成形機を用いて、金属箔13及び15の所定の位置にくぼみ部分を形成する(図10-(a))。このくぼみ部分の深さは0.07mm、大きさは長手方向で約1mmであるが、これに限定されることなく、搭載する電子部品の大きさによって適宜決定すれば良い。

【0080】次に、本実施例では下面金属箔13のくぼみ部分に、搭載する電子部品23の電極24と接続させるための領域を形成する。そして、上面金属箔15及び張り合わせ用樹脂14のくぼみ部分には、電子部品23を設置するための収納スペースに相当する部分を除去する(図10-(b))。

【0081】除去する方法は良く知られたウェットエッチング、ドライエッチングまたはレーザエッチングを用いるが、これらの方法に限定されることなく、上面金属箔15及び張り合わせ用樹脂14の除去が可能であれば良い。このようにして下面金属箔13の表面を露出させる。

【0082】本実施例において、上面金属箔15として0.15mm厚の42%Ni-Fe合金を用い、下面金属箔13も同様に0.05mm厚の42%Ni-Fe合金を用いた。また、上面金属箔15と下面金属箔13と

に挟まれる張り合わせ樹脂14として、耐熱性を考慮して0.05mm厚の液晶系の樹脂(クラレ LCPフィルムFA)を使用した。そして、上記の金属箔13及び15の表面は、樹脂13との密着性を確保するために予めブラスト処理を施した。

【0083】次に、図10-(b)に示した状態で全体を銅めっき処理した後、3端子のチップコンデンサ23を下面金属箔13のくぼみ部分に配置させ、チップコンデンサ23の両サイドの電極24を下面金属箔13に高融点はんだを用いて接続した。ここで、はんだ材として例えばAu-20%Snを用い、接続時の温度は340℃で実施した。この温度は張り合わせ用の樹脂13を損傷させることなく、また、くぼみ部分の形状を変形させないような範囲であれば良く、必要に応じてはんだ材の種類を選択すれば良い。

【0084】その後、チップコンデンサ23を含み、上面金属箔15及び下面金属箔13を包み込むように、例えばエポキシ系樹脂6を付けた銅箔を加圧プレスで平坦に張り合わせた。尚、樹脂6は松下電工製R-0880を使用し、170℃で60分間のプレス加工を行った。この時の樹脂6の段差は10μm以下である。

【0085】そして、3端子コンデンサ23の中央電極25の表面まで、上記の樹脂6にレーザ加工による導通ホール27を形成した。中央電極25との接続方法は、上記で説明したように、電気めっき法を用いて行なう。

【0086】このようにして、3端子のチップコンデンサ23を内蔵したコア基板100が完成する。

【0087】また、このコア基板100の上方に絶縁層と配線層とからなる配線積層体を形成する方法は、第1の実施例で述べた場合と同様であり、チップコンデンサを内蔵した実装基板を実現することが出来る。

【0088】LSI等の集積回路は上記の配線層に接続されるが、このような実装基板を用いることによって、高密度かつ高機能を有する回路実装を実現することが可能になる。即ち、チップコンデンサや終端抵抗等の電子部品をコア基板に内蔵させることによって、従来のマルチチップモジュール等に比較して、LSI等の実装密度を30%程改善させることが可能になる。また、更に電源素子なども内蔵すれば、実装密度の向上に対してより大きな効果を上げることが出来る。

【0089】また、電気的には電子部品の配置に関する制約が少なくなり、内蔵した電子部品と他の電子部品、例えばLSI等の集積回路素子との接続距離を極めて短くすることが可能であるので、これらを用いた電子回路装置の高速化を図ることが出来る。

【0090】ところで、上記した工程は金属箔にくぼみを形成しなくても可能であるが、コア基板の用途を考慮すれば、上記した第3の実施例の構造は必要不可欠である。例えば、通称0603と呼称される電子部品の高さ

は0.3mmであり、この電子部品を樹脂で被覆する場合、樹脂の厚みは少なくとも0.3mm以上が必要であって、このように厚い絶縁層の使用に対して、信号線の特性インピーダンスを実用的な範囲に設定することは不可能である。

【0091】従って、電子部品を搭載する金属箔にくぼみを形成し、かつ被覆用樹脂として流動性に優れた材料を用いて電子部品を含むコア基板全体の平坦化を行なうことが重要であり、またコア基板に電子部品を直接搭載する場合に比較して、電子部品を外部からの機械的衝撃から保護することが出来るという利点を有する。

【0092】

【発明の効果】以上で説明したように、電子部品をコア基板に内蔵することが出来るため、このコア基板の上に配線積層体を形成すれば、実装密度の向上を図ることが可能である。

【図面の簡単な説明】

【図1】第1の実施例である4端子電子部品を内蔵したコア基板の平面図である。

【図2】図1に示したコア基板のA-A断面を表わす説明図である。

【図3】第1の実施例であるコア基板の製造工程を説明するための図である。

【図4】第1の実施例であるコア基板の外側に配線積層体を形成した電子部品内蔵実装基板の断面図である。

【図5】金属箔に形成した窓部のレイアウト例である。

【図6】金属箔に形成した窓部のレイアウト例である。

【図7】第2の実施例である電子部品を内蔵したコア基板の断面図である。

【図8】第2の実施例であるコア基板の製造工程を説明するための図である。

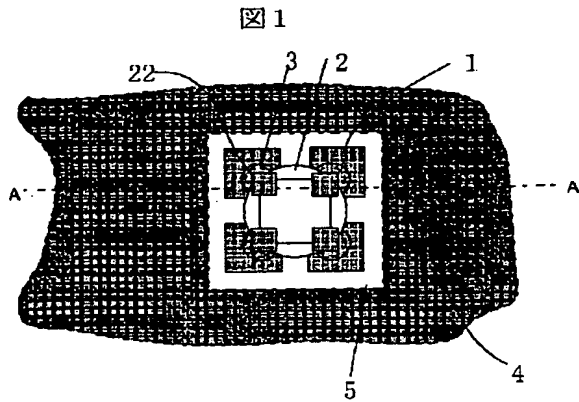
【図9】第3の実施例である電子部品を内蔵したコア基板の断面図である。

【図10】第3の実施例であるコア基板の製造工程を説明するための図である。

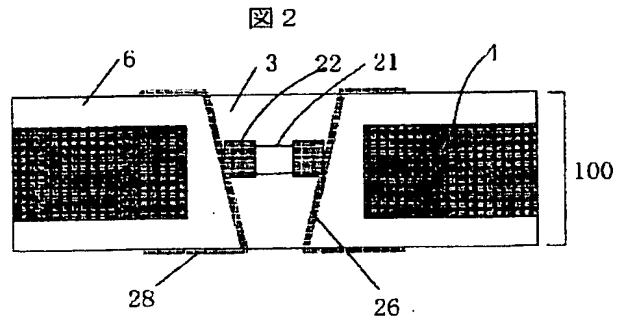
【符号の説明】

1…配線層パターン、2…座ぐり穴、3…スルーホール、4…金属箔、5…窓部、6…被覆用樹脂、7…座ぐり穴、8…レーザ加工穴(スルーホール)、9…表面金属膜、10…レーザ加工穴(スルーホール)、11…連結した窓部、12…スルーホール、13…下面金属箔、14…張り合わせ用樹脂、15…上面金属箔、21、23…電子部品、22、24…電極、26…導体部、27…貫通スルーホール、28…貫通スルーホールの受パッド、31…仮固定用シート、100…コア基板、110…配線積層体、121…導体配線、122…LSI搭載電極、123…配線層間接続用ビアホール、124…信号パターン、131…絶縁層、132…ソルダレジスト

【図1】



【図2】



【図3】

図3-(a)

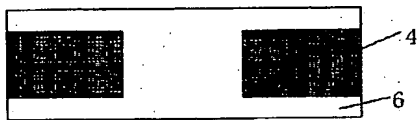


図3-(b)



図3-(c)



図3-(d)

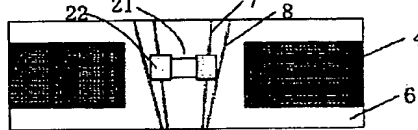
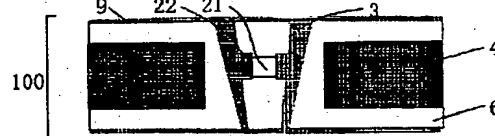
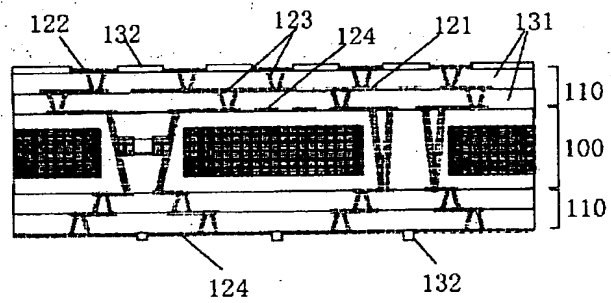


図3-(e)



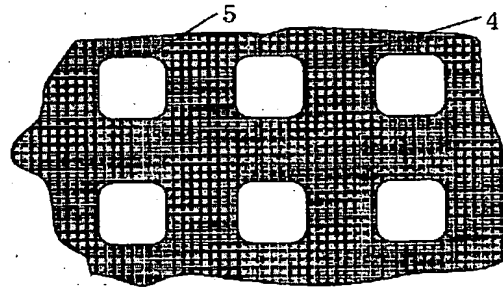
【図4】

図4

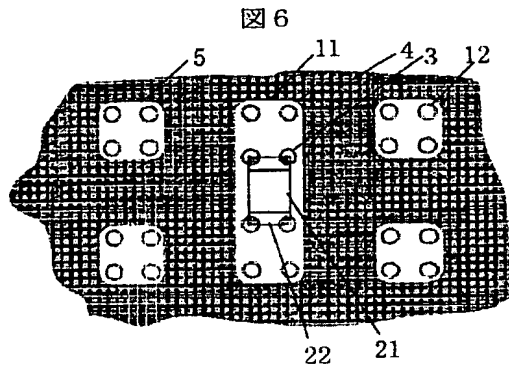


【図5】

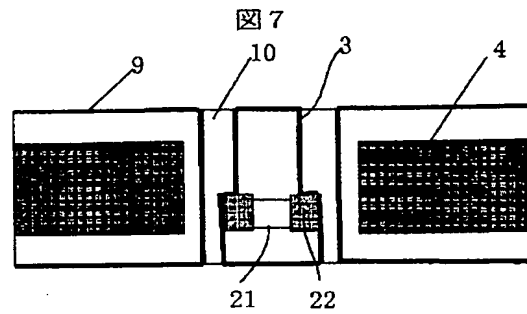
図5



【図6】

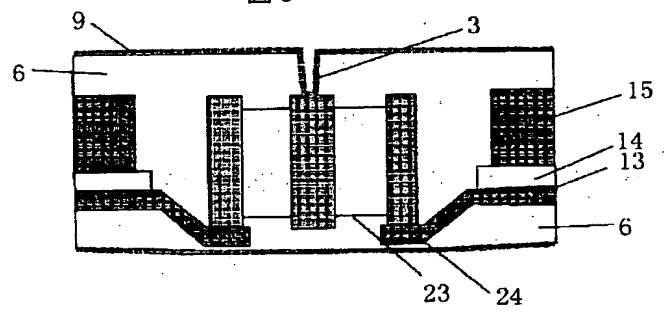


【図7】



【図9】

図9



【図8】

図8-(a)

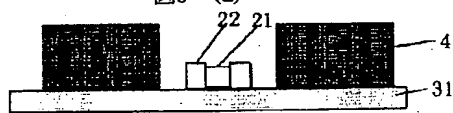


図8-(b)

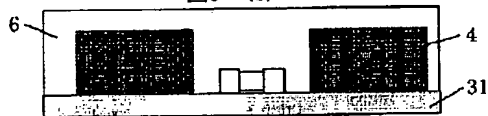


図8-(c)

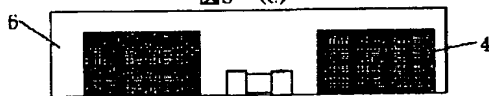
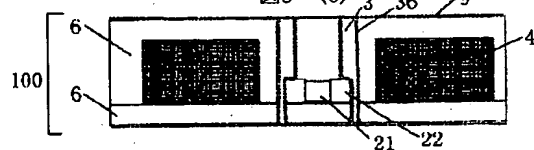


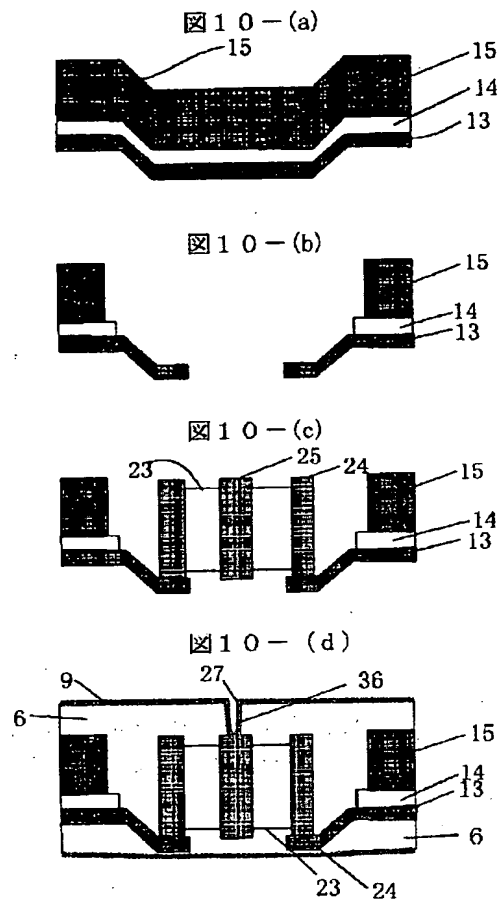
図8-(d)



図8-(e)



【図10】



フロントページの続き

(51) Int. Cl. ⁷	識別記号	F I	テ-マコ-ト (参考)
H 0 5 K	1/18	H 0 5 K	1/18
			3/32
	3/32	H 0 1 L	23/12
			R
			Z
			F
			B

(72) 発明者 松崎 永二
 神奈川県横浜市戸塚区吉田町292番地 株
 式会社日立製作所生産技術研究所内

(72) 発明者 北村 直也
 神奈川県横浜市戸塚区吉田町292番地 株
 式会社日立製作所生産技術研究所内

(72) 発明者 京井 正之
 神奈川県横浜市戸塚区吉田町292番地 株
 式会社日立製作所生産技術研究所内

(72) 発明者 森 照享
 神奈川県横浜市戸塚区吉田町292番地 株
 式会社日立製作所生産技術研究所内

(72) 発明者 牛房 信之
 神奈川県横浜市戸塚区吉田町292番地 株
 式会社日立製作所生産技術研究所内

(72) 発明者 加藤 輝武
 神奈川県横浜市戸塚区戸塚町216番地 株
 式会社日立製作所通信事業部内

F ターム(参考) 5E319 AA09 AB05 AC06 AC12 AC20
BB20 CC70 CD15 GG01
5E336 AA07 AA08 AA13 BB03 BB18
BC02 BC12 BC15 BC26 CC31
DD28 DD32 EE20 GG14 GG30
5E346 AA03 AA04 AA06 AA12 AA15
AA41 BB02 BB03 BB06 BB16
CC32 DD25 EE31 EE33 FF07
FF15 FF45 GG15 GG17 GG19
HH25